

DAC

Данная схема ориентирована на использование многобитовых ЦАП. Как альтернатива Ultra Analog D20400 могут быть использованы PCM63P-K, PCM1702P (<http://www.burr-brown.com>) и тп. Схема пост фильтрации и выходного буфера в данном случае не рассматривается, и может быть выбрана в зависимости от предпочтений и возможностей конкретного разработчика. В конце документа приведен список ссылок на сайты, где можно ознакомиться с различными схемными решениями аналоговой части.

Clock Generator

На приведенной схеме показан простейший тактовый генератор на цифровом элементе исключительно в качестве примера. Рекомендуется использовать либо покупной тактовый генератор с малым уровнем джиттера (<http://www.lcaudio.com/>, http://www.mfelectronics.com/slj_fixtri.htm, и тп), либо разработать маломощный генератор на прецизионном кварцевом резонаторе (к примеру, <http://www.wenzel.com/pdf/files/xtalosc.pdf>). В любом случае, необходимо уделять особое внимание схеме питания генератора, его топологии и линии доставки тактового сигнала от генератора до ЦАП. Возможно, разумным будет использование отдельного трансформатора не отключаемого от сети. Наличие маломощного линейного стабилизатора напряжения обязательно.

VCO

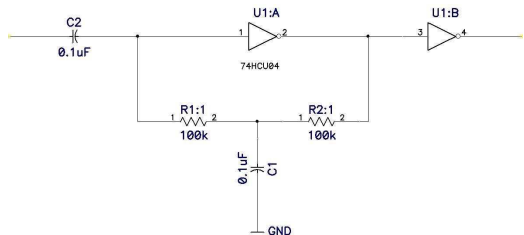
Данный блок предназначен для формирования синхросигнала частотой $384 \cdot F_s$ (16934400 Гц) в случае, если проигрыватель (транспорт) имеет такую тактовую частоту (Denon DCD-725/1015, Kenwood DP7060/7090, Marantz CD 63 SE, Teac VRDS-10 и другие). В противном случае, схему с ФАП и делители на два и три можно будет удалить, подав сигнал MCLK непосредственно на выходной резонансный усилитель/буфер и пересчитав значение емкости C307 в сторону увеличения.

Power Supply

На приведенной схеме источник питания не показан. Рекомендуется раздельное питание цифровой и аналоговой частей схемы вплоть до трансформаторов. Особое внимание необходимо уделить питанию аналоговой части. Примеры можно посмотреть в ссылках, но в любом случае, применение высококачественных (и, к сожалению, дорогих) конденсаторов необходимо. Black Gate, Elna, Nichicon, Wima – первые претенденты на использование. Среди первых трех выбор – дело вкуса. Все напряжения питания, за исключением +VA2, -VA2, равны +5В. Желательно использовать отдельные стабилизаторы на каждую группу питания (+VA1, +VD1...+VD6). Как наиболее простое решение – LM317. Но для питания схемы пересинхронизации и цифрового питания ЦАП (U201...U210), я бы применил высококачественные маломощные стабилизаторы напряжения (MIC5205, TL431, ADP3303 и тп).

Master Clock Receiver/Clock Generator

Схема приемника синхросигнала приведена в первой части статьи. В качестве компаратора можно попробовать использовать инвертор (из того же корпуса, что и для генератора), охватив его обратной связью по постоянному току.



Замечания по принципиальной схеме

Еще раз обращаю внимание, что на приведенной схеме отсутствуют элементы питания отдельных устройств, а так же вся аналоговая часть. Здесь хочу привести лишь отдельные рекомендации при разработке конструкции. Каждый вывод питания цифровых МС должен быть зашунтирован керамическим конденсатором 0,01...0,1 мкФ. Желательно использовать бескорпусные конденсаторы (в крайнем случае, максимально укоротить выводы), а так же танталовые SMD конденсаторы. Крайне желательно наличие хорошего (сплошного) слоя земли, охватывающей всю цифровую часть. Возможно, потребуется введение резисторов (50...200 Ом) последовательно в каждую цепь входных сигналов ЦАП (BCK_O, WCK_O, DATA_L/R, DG_O), если будет наблюдаться дрейбзг на фронтах. Для того, что бы данный ЦАП мог работать с источником, необорудованным приемником синхросигнала (т.е. как обычный выносной ЦАП), необходимо подменить сигнал SYS_CLK сигналом MCKR (с выхода CS8412), отключив DAC Master Clock Generator. Это можно осуществить введением механического или электронного переключателя.

Заключение

Основная идея данной схемы состоит не в том, как будет работать связка CS8412 – PMD-100 – PCM63PK(D20400, PCM1702) с указанными элементами и топологией, это и так работает (и примеров тому много), а в том, что бы показать схемную реализацию возможности избавиться от влияния всех частей на пути прохождения цифровых сигналов от транспортного механизма до ЦАП. Уверен, что данный подход позволит исключить один из основных факторов деградации звука при цифро-аналогом преобразовании. Я имею в виду Jitter.

Список материалов по конструированию ЦАП

<http://www.phyast.pitt.edu/~charng/schematic.html>
<http://www.diyaudio.de/index.html>
<http://members.brabant.chello.nl/~m.heijligers/DAChtml/dactop.htm>
<http://www.geocities.com/ResearchTriangle/8231/cdplayer/index.html>