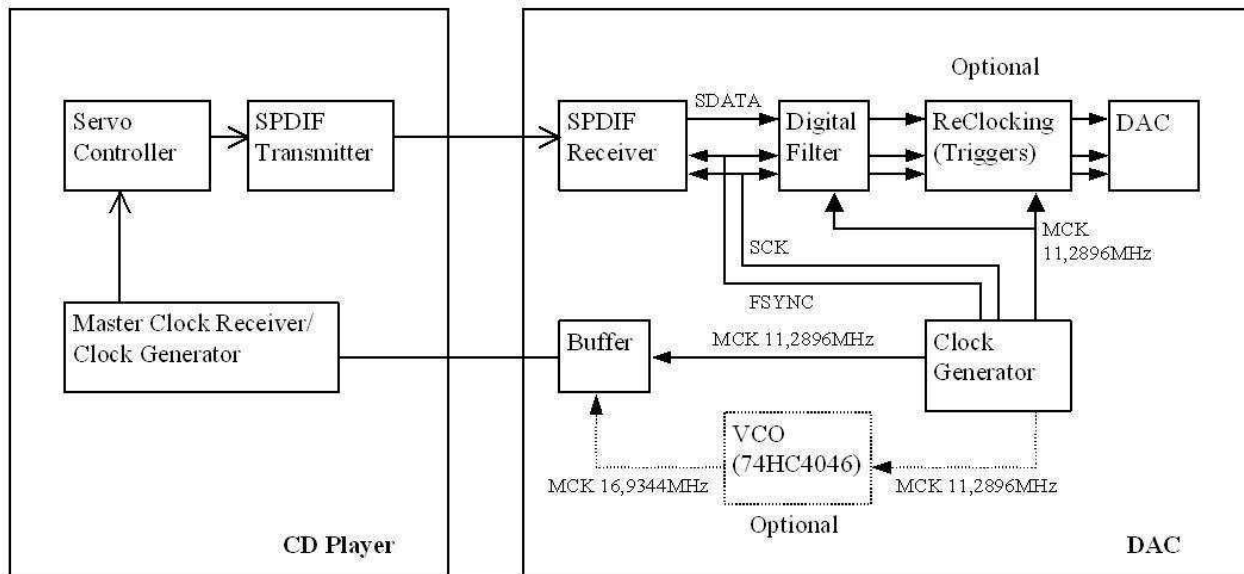


Приведенный материал является дополнением к первой части статьи, посвященной вопросу тактирования ЦАП в выносном блоке. Еще раз приведу блок-схему комплекта транспорт – ЦАП:



Нижне будет представлена принципиальная схема ЦАП, соответствующая данной блок-схеме. Остановлюсь на выборе отдельных элементов блока ЦАП.

SPDIF Receiver

Выбор был остановлен на SC8412 (<http://www.crystal.com>). Данная микросхема имеет режим SLAVE, при котором данные, выделенные из входного потока, записываются в буфер (2 отсчета по каждому каналу), а считывание происходит синхронно с сигналами SCK, FSYNC, работающими как входы и поступающими от отдельного генератора сеток. В случае если частоты дискретизации на входе (Rx) и выходе (SCK, FSYNC) не равны, происходит либо потеря, либо повторение отсчета, с соответствующей индикацией данной ошибки. В нашем случае, предполагается, что частоты равны вследствие использования единого тактового генератора.

Digital Filter

Может быть использован любой цифровой фильтр (ЦФ) передискретизации (8X), с соответствующей коррекцией схемы. Мною предполагается использовать фильтр PMD-100 (HDCD) фирмы Pacific Microsonics. <http://www.hdc.com> Данный фильтр многими оценивается как один из самых лучших для формата CD, и, кроме того, обладает широким набором дополнительных функций, правда, доступных только через программное управление (регулировка громкости, семь уровней псевдошума (dither), режимы 2X, 4X).

Re-Clocking Triggers

Данный элемент необходим для “перепривязки” (пересинхронизации) данных, поступающих с ЦФ на ЦАП. Анализ документации на все ЦФ (SM5842, SM5843, PMD-100...) показывает, что время задержки выходных данных относительно системной тактовой частоты ($MCLK = 256 \cdot Fs$) имеет разброс 15...50/60 нс, что в максимуме больше половины периода тактовой частоты ($T_s = 88\text{ns}$ для $MCLK = 44100 \cdot 256$). Такой громадный разброс наводит на мысль о том, что, несмотря на заверения разработчиков ЦФ, данный модуль является потенциальным источником джиттера. Для устранения возможных флуктуаций и используется триггеры “перепривязки”.

В результате данные, поступившие с ЦФ и перепривязанные на отдельных триггерах (т.е. данные на входе ЦАП), будут иметь флуктуации фронтов определяемые флуктуациями тактового генератора (3..10 пс в самом лучшем случае) и непосредственно триггера (1..2 пс для серии НСТ). Никакие временные флуктуации цифровых данных обусловленные транспортом, линией передачи (SPDIF интерфейс), приемником и ЦФ не будут иметь значения вследствие данного варианта синхронизации.

Все было бы хорошо, если бы не вставал вопрос о пересинхронизации пачки тактовых импульсов (ВСКО). При таком разбросе в задержке ЦФ единственный способ сделать это, это сформировать строб, охватывающий биты данных, и сложить его с тактовой сеткой на элементе “И”, получив обновленную пачку импульсов. Один из вариантов предложен на сайте <http://members.brabant.chello.nl/~m.heijligers/DAChtml/dactop.htm> Предложенное мной схемное решение хотя и более громоздкое, но, на мой взгляд, более корректное. Как можно видеть, сигнал на входе U209:В устанавливается в 1 положительным фронтом сигнала ВСКО, а сбрасывается в 0 – положительным фронтом сигнала MCLK. Задержка между этими фронтами – 15...38 нс (для PMD-100). Честно говоря, можно было бы ограничиться пересинхронизацией только сигналов ВСКО и DG, которые и определяют момент смены отсчета на выходе многобитовых ЦАП (ВСКО для PCM63/1702, DG для D20400). Но, на мой взгляд, в аудио технике лучше не экономить. Кроме того, всегда лучше работать с сигналами, имеющими минимальные временные флуктуации.

Нижне приведены временные диаграммы схемы пересинхронизации.

Сигналы ВСКО, ВСКО, DATA – сигналы, поступающие с ЦФ.

Сигнал ВСК_EN – строб, накрывающий биты данных, в дальнейшем складывается с SYS_CLK (сигналом, инверсным по отношению к MCLK и опережающим его на 5...7 нс) для получения пачки тактовых импульсов.

Сигнал ВСКО показан для случая минимальной задержки (15нс, верхний рисунок) и максимальной задержки (50нс для PMD-100, нижний рисунок) относительно MCLK. Данные – все единицы. Нетрудно видеть, что все сигналы, поступающие с ЦФ, задерживаются на полтора периода системной частоты (MCLK) и освобождаются от всех временных флуктуаций.