



时钟设置
 1.当28脚CKSEL=L时,PLL方式,无需外接晶体
 2.当CKSEL=H时,XTI方式

设置SCKO
 13,14脚

设置输出格式(输出格式为I2S、左校验、右校验等)
 25,26脚

| OUTPUT IN CLK FROM PLL DIVISOR | CKSEL[0:1] |
|--------------------------------|------------|
| 9000 | L L |
| 1000000 | L H |
| 2000000 | H L |
| 3000000 | H H |

OUTPUT SERIAL AUDIO DATA OUTPUT FORMAT

| DATA[0:1] | DATA[2:3] |
|-----------|-----------|
| L L | L L |
| L H | L H |
| H L | H L |
| H H | H H |

16 bit MSB first, Right justified (支持的数字滤波为DF1700、SM5812、和已注册核模为DF1700的DF1704、SM5847)
 IIS24BIT格式 (支持使用IIS格式的多种PDM的PS的数字滤波TDAI307、SAA7220、NOS/ITDAI54)

24 bit MSB first, Left justified (典型支持的数字滤波为PMD100, 晶片的PMD100或者类似C14脚晶片的C13脚晶片)

24 bit MSB first, Right justified (支持SM5842、DF1704、DF1706、SM5847、PCM179X系列、AD195X系列、CS4398系列等等)

| File | Number | Revision |
|-------|-----------------|-----------|
| A1 | | |
| Date: | 11-Jan-2011 | Sheet of |
| File: | D:\AMP\CMP\F103 | Drawn by: |